

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-293943

(43)Date of publication of application : 30.11.1988

(51)Int.Cl.

H01L 21/82  
H01L 27/04  
H03K 17/693  
H03K 19/00

(21)Application number : 62-128255

(22)Date of filing : 27.05.1987

(71)Applicant : HITACHI LTD

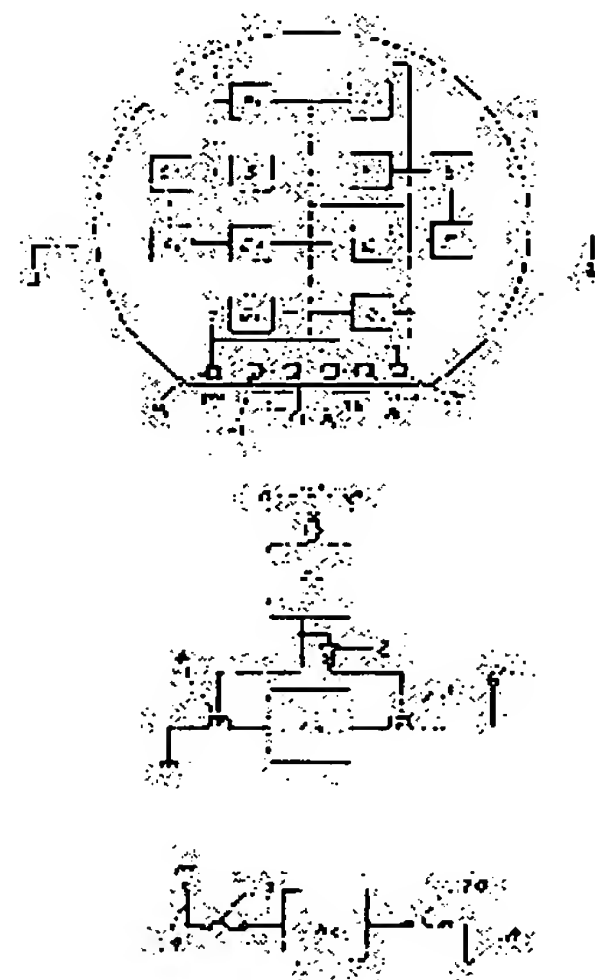
(72)Inventor : SAKUTA TOSHIYUKI  
ARAKAWA WATARU  
SHINODA KOJI  
ITO KAZUYA  
TAKAHASHI YASUSHI  
KUROSAWA AKIKO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

## (57)Abstract:

PURPOSE: To separate electrically and automatically a defective electronic circuit block from a system, by providing the respective switches between the external terminals of each electronic circuit block and a power source voltage wiring, and between said terminals and a ground voltage supplying wiring.

CONSTITUTION: A PMOSFET 3 and an NMOSFET 4 are arranged between a wiring to supply the power source voltage VCC of an electronic circuit A0 and the external terminals of A0, and between a wiring to supply the ground voltage VSS and the external terminals of A0. When a signal voltage (5V) is output by a selection circuit F0 according to a control signal Sb, each transistor turns to a conduction state, and the electronic circuit block A0 is selected. When the selection circuit P0 outputs a signal (0V), each transistor turns to a non-conduction state, and the electronic circuit A0 is not selected. Fuses 19 and 18 are arranged between a power source voltage wiring 17 and the external terminals of the electronic circuit block A0, and between the wiring 17 and a wiring to supply the ground potential. When the electronic circuit A0 turns to a defective, and a large current is generated, the fuses 19 and 18 flow.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報(A)

昭63-293943

⑤ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)11月30日

H 01 L 21/82

8526-5F

27/04

D-7514-5F

H 03 K 17/693

D-7190-5J ※審査請求 未請求 発明の数 2 (全6頁)

⑭ 発明の名称 半導体集積回路装置

②

⑮ 特 願 昭62-128255

⑯ 出 願 昭62(1987)5月27日

⑰ 発 明 者 作 田 俊 之 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

⑱ 発 明 者 荒 川 亘 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

㉑ 発 明 者 篠 田 孝 司 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

㉒ 発 明 者 伊 藤 和 弥 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

㉓ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉔ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

## 【産業上の利用分野】

ウェーハスケール・インテグレーション(WSI)に適用して有効な技術に関する

## 【発明の目的】

WSIの検査時に不良電子回路ブロックのみをシステムから自動的に切り離すことができるので、検査のスループット及び信頼性を向上することができる半導体集積回路装置を提供する

## 【発明の効果】

電子回路の不良をブロック単位で救済することができるので、システムの信頼性及び歩留を向上することができる

## 特許請求の範囲

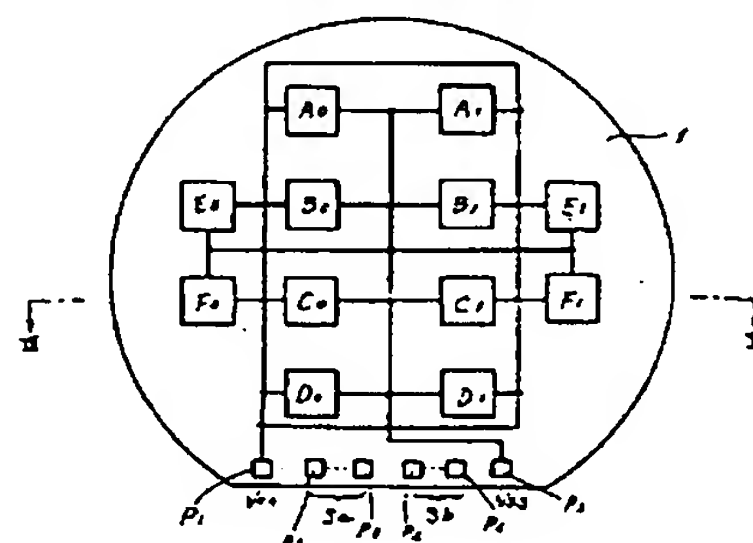
1. 半導体基板上に形成された複数の電子回路ブロックを有し、上記各々の電子回路ブロックは、第1端子及び第2端子を有し、上記電子回路ブロックに第1動作電位を供給する第1動作電位ラインと、上記各々の電子回路ブロックの第1端子と上記第1動作電位ラインとの間に接続された複数のスイッチング手段と、上記各々の電子回路ブロックの第2端子に結合されて、上記電子回路ブロックに第2動作電位を供給する第2動作電位ラインとを有し、上記複数のスイッチング手段は選択的に上記電子回路ブロックに第1動作電位を供給するように構成されていることを特徴とする半導体集積回路装置。
2. 上記複数のスイッチング手段は、ヒューズ素子を含むことを特徴とする上記特許請求の範囲

第1項に記載の半導体集積回路装置。

3. 上記複数のスイッチング手段は、トランジスタを含むことを特徴とする上記特許請求の範囲第1項に記載の半導体集積回路装置。

4. 上記トランジスタの制御端子は、選択回路の出力端子に結合され、上記出力端子に出力され

第 1 図



る出力信号に応答して、その動作状態が所望に制御されることを特徴とする上記特許請求の範囲第3項に記載の半導体集積回路装置。

5. 半導体基板の主面上に形成された第1のウェル領域と第2のウェル領域を有し、上記第1及

び第2のウェル領域に形成された電子回路をそれぞれ有し、上記第1のウェル領域と第2のウェル領域には、独立した電位が印加されていることを特徴とする半導体集積回路装置。

## 図面の簡単な説明

第1図は、本発明の実施例IであるWSIのブロック図、

第2図は、本発明の実施例Iであるスイッチング手段を示した回路図、

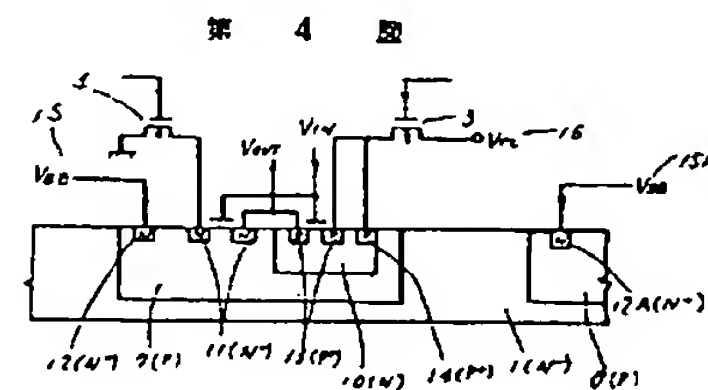
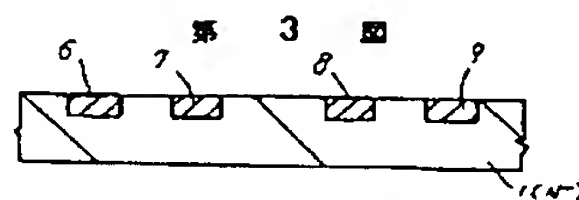
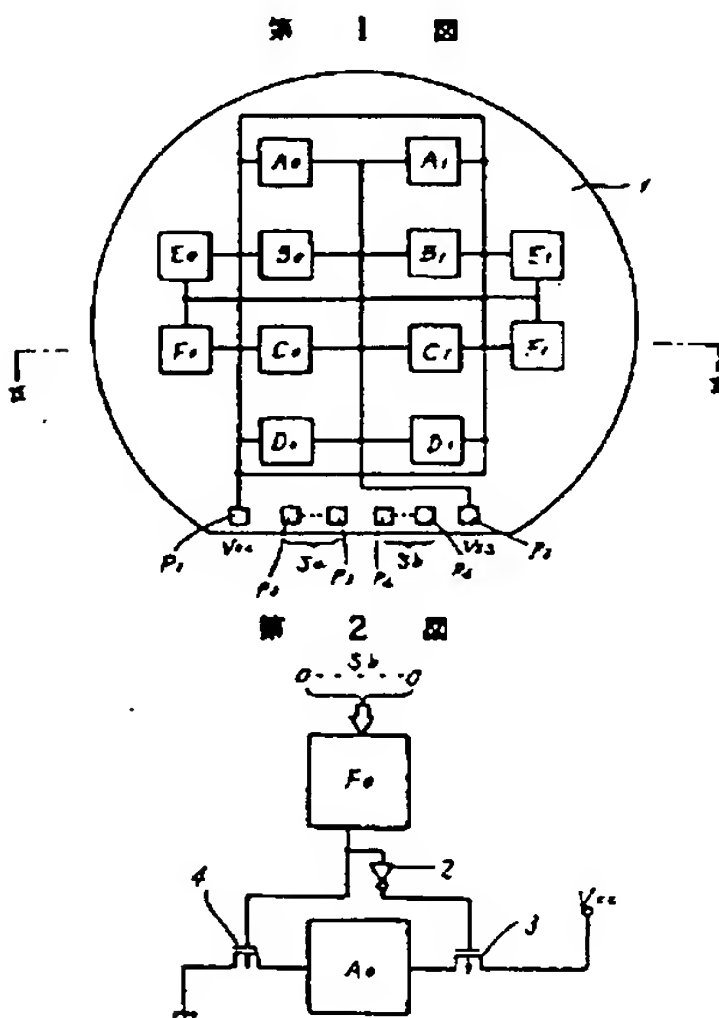
第3図は、本発明の実施例IIであるWSIの断面図、

第4図は、本発明の実施例IIであるWSIの断面図及び回路図、

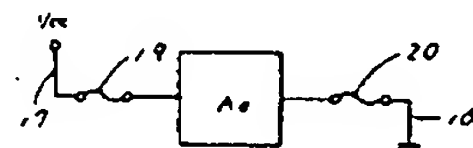
第5図は、本発明の実施例IIIであるスイッチング

手段を示した回路図である。

図中、1…半導体ウェーハ(N<sup>-</sup>)、2…インバータ、3…PMOS EFT、4…NMOS EFT、6, 7, 8, 9…ウェル領域(P)、10…ウェル領域(N)、11, 12…N<sup>+</sup>型半導体領域、13, 14…P<sup>+</sup>型半導体領域、15, 15A…基板電位供給配線、16, 17…電源電位供給配線、18…接地電位供給配線、19, 20…ヒューズである。



第5図



第1頁の続き

⑤Int. Cl.<sup>4</sup>

H 03 K 19/00

識別記号

庁内整理番号

Z-8326-5J

⑦発明者 高橋

康

東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

⑦発明者 黒澤

日子

東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内